

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-283217

(43)Date of publication of application : 27.10.1995

(51)Int.Cl. H01L 21/3205

(21)Application number : 06-076959 (71)Applicant : SHARP CORP

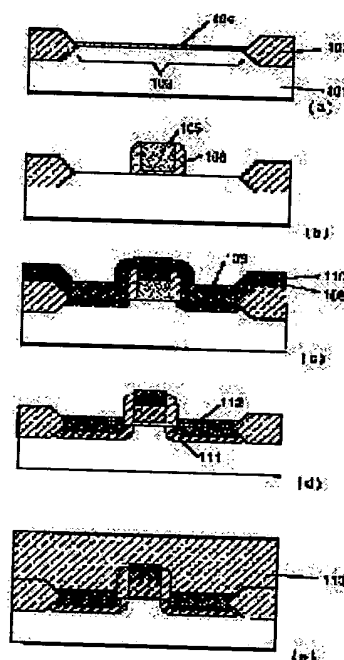
(22)Date of filing : 15.04.1994 (72)Inventor : KOTAKI HIROSHI

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To obtain low sheet resistance by a method wherein the $\text{TiSi}_2\text{C}_{54}$ crystal grains, wherein a titanium silicide film is formed, are brought into contact with each other through TiN .

CONSTITUTION: A titanium silicide film 109 of $\text{TiSi}_2\text{-C}_{49}$ crystal structure is formed, and the surface side of a deposited titanium nitride film is formed into titanium nitride film 110 having a large quantity of nitrogen content. Then, after the titanium nitride film 108 of the gate side wall spacer 106, located on the titanium silicide film 109 and a field oxide film 102, has been removed by selective etching using the mixed solution of sulfuric acid and hydrogen peroxide, the second quick heat treatment is conducted at about 800 to 1100°C, and the titanium silicide film 112 of $\text{TiSi}_2\text{-C}_{54}$ crystal structure is formed. As a result, the sheet resistance of TiSi film can be decreased.



LEGAL STATUS

[Date of request for examination] 16.01.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3203125

1222

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-283217

(43) 公開日 平成7年(1995)10月27日

(51) Int.Cl.⁶

H 0 1 L 21/3205

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/ 88

Q

B

審査請求 未請求 請求項の数7 O L (全 15 頁)

(21) 出願番号 特願平6-76959

(22) 出願日 平成6年(1994)4月15日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 小瀧 浩

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(74) 代理人 弁理士 梅田 勝

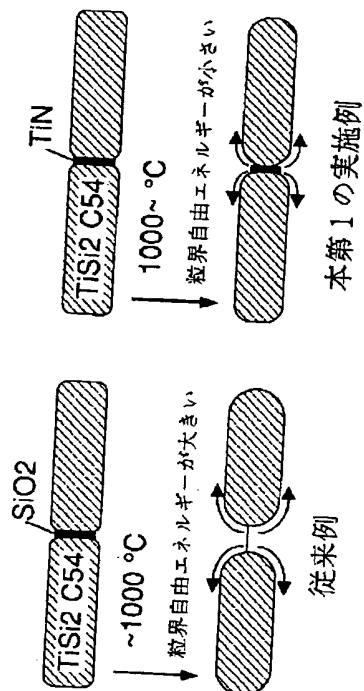
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【構成】 $TiSi_2$ の粒界に TiN が介在したチタンシリサイド膜により半導体装置の配線を構成する。また、上記配線を形成するために、シリサイド化反応において、極力酸素成分を排除し、且つ、 Ti 金属の変わりに窒化チタン膜をシリコンと反応させてチタンシリサイド膜を形成する。

【効果】 シート抵抗が低く、特に、 $TiSi_2$ 膜のグレインサイズよりも小さな配線幅の配線のシリサイド化でも、グレインサイズよりも大きな配線幅の配線のシリサイド化と比べ、 $TiSi_2$ 膜のシート抵抗に関し、同一の低い値が得られる。更に、耐熱性が高く、炉アニールにて $900^{\circ}C$ 、30分程度行っても凝集することがない。

チタンシリサイド膜の凝集機構の断面模式図



【特許請求の範囲】

【請求項1】 半導体装置のチタンシリサイド膜を有する配線に於て、上記チタンシリサイド膜は、 $TiSi_2$ C_{54} 結晶粒からなり、上記結晶粒どうしは、 TiN を介して接触している事を特徴とする半導体装置。

【請求項2】 チタンシリサイド膜の製造方法に関し、シリコン膜上に窒素原子に比べ、チタン原子が多く含まれた窒化チタン膜を堆積する工程と、熱処理により、上記シリコン膜と、窒化チタン膜を反応させ、チタンシリサイド膜を形成することを特徴とする半導体装置の製造方法。

【請求項3】 チタンシリサイド膜の製造方法に関し、シリコン膜上に、窒素原子に比べチタン原子が多く含まれた、窒化チタン膜を堆積する工程と、イオン注入法により上記窒化チタン膜と上記シリコン膜の界面付近にシリコンイオンを注入する工程と、熱処理により、上記シリコン膜と、窒化チタン膜を反応させ、チタンシリサイド膜を形成することを特徴とする半導体装置の製造方法。

【請求項4】 上記シリコン膜において、少なくともシリサイド膜が形成される領域の酸素濃度は、 1×10^{18} 個/cm³以下であることを特徴とする請求項2または3に記載の半導体装置の製造方法。

【請求項5】 上記シリコン膜上に窒化チタン膜を堆積する工程において、チタンターゲットを用いて、アルゴンガスと、窒素ガスの混合ガス中で、反応性スパッタ法により、窒化チタン膜を堆積することを特徴とし、上記アルゴンガスと、窒素ガスの混合比における窒素ガスの割合は、0.1%~10%の範囲であることを特徴とする半導体装置の製造方法。

【請求項6】 チタンシリサイド膜の製造方法に関し、シリコン膜上の自然酸化膜を除去した後、大気解放無しで、上記シリコン膜上に窒化チタン膜を堆積する工程と、第一の急速加熱処理を窒素雰囲気中で行い、上記窒化チタン膜と、シリコン膜を反応させ化学量論的に準安定な、 $TiSi_2$ C_{49} 結晶構造のチタンシリサイド膜を形成する工程と、ドナー、或いはアクセプターとなる不純物をチタンシリサイド膜上部の窒化チタン膜を介してイオン注入法により上記チタンシリサイド膜及びその下層のシリコン膜中に注入する工程と、上記チタンシリサイド膜上部の窒化チタン膜及び、チタンシリサイド膜が形成されていない領域の窒化チタン膜を選択的に除去する工程と、第二の急速過熱処理により、上記チタンシリサイド膜を、化学量論的に安定な、 $TiSi_2$ C_{54} 結晶構造に変化させる工程を含むことを特徴とする半導体装置の製造方法。

【請求項7】 請求項5に記載のチタンシリサイド膜の製造方法において、上記シリコン膜上に窒化チタン膜を堆積する工程と、第一の急速加熱処理を窒素雰囲気中で行い、上記窒化チタン膜と、シリコン膜を反応させ化学

量論的に準安定な、 $TiSi_2$ C_{49} 結晶構造のチタンシリサイド膜を形成する工程の間に、イオン注入法により上記窒化チタン膜とシリコン膜の界面付近にシリコンイオンを注入する工程を含むことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体装置の製造方法に関し、特に、耐熱性に優れた低抵抗なチタンシリサイド膜の製造方法に関する。

【0002】

【従来の技術】 従来の自己整合シリサイド化技術に関する製造方法は、図12に示すような方法がある。まず、図12(a)に示すように、半導体基板401上にフィールド酸化膜402、ゲート酸化膜403、側壁が絶縁膜405で覆われた多結晶シリコンよりなるゲート電極404を形成する工程と、図12(b)に示すように、酸化膜406を堆積した後、該酸化膜406を介して、ソース、ドレインとなる領域に高濃度の不純物イオンたとえば、NMOSの場合、砒素イオン、PMOSの場合、ボロンイオン等を注入した後、活性化の為に熱処理（たとえば、窒素雰囲気中で、900℃、10分）を行い、ソース、ドレイン領域407を形成する工程と、図12(c)に示すように、フッ酸を含む溶液等により、ソース、ドレイン領域407、及びゲート電極404上の上記酸化膜406を除去した後、チタン金属膜408をスパッター法により、アルゴン雰囲気中で堆積する工程と、図12(d)に示すように、窒素雰囲気中で、650℃、20秒程度の第一の急速加熱処理を行い、ソース、ドレイン領域407及び、ゲート電極404のシリコンとチタン金属を反応させ、化学量論的に準安定な、 $TiSi_2$ C_{49} 結晶構造のチタンシリサイド膜409を形成する工程と（このとき、該チタン金属膜408表面は、窒化チタン膜410に変化する）、図12(e)に示すように、硫酸と、過酸化水素水の混合溶液で、未反応のチタン金属408、及び、上記第一の急速加熱処理により形成された窒化チタン膜410を選択的にエッチング除去した後、窒素雰囲気中で、800℃、20秒程度の第二の急速加熱処理により、上記チタンシリサイド膜409を、化学量論的に安定な、 $TiSi_2$ C_{54} 結晶構造のチタンシリサイド膜411に変化させる工程とにより一般的に製造されている。

【0003】

【発明が解決しようとする課題】 シリコン半導体装置に於ては、トランジスタ形成プロセスを経た後、その上に層間絶縁膜を堆積し、該層間絶縁膜の緻密化及び、リフローの為にアニール工程が必要となる。通常、アニール工程は、850℃以上で効果が有り、900℃以上でなお良い。

【0004】 しかしながら、従来のチタンシリサイド膜

形成工程では、(1) TiとSiの反応系に於て、いくら装置、環境の清浄度を向上しようとも、工程に起因する(酸化膜を介しての不純物イオン注入)酸素の混入が避けられず、Ti、Si、Oの3元系でのシリサイド化反応となる。(2)上記3元系でのシリサイド化反応では、TiSi₂の粒界に、優先的にSiO₂が形成され、シート抵抗が高くなり、且つ、耐熱性が悪くなる。特にTiSi₂のグレインサイズよりも小さい配線幅の配線のシリサイド化で、該問題点が顕著となる。つまり、TiSi₂のグレインサイズよりも小さい配線幅の配線のシリサイド化については、900℃以下のRTA処理で、C49からC54結晶構造への変化が起こりにくく、非常に抵抗の高いチタンシリサイド膜となる。逆に高温900℃以上のRTAを行った場合、C49からC54結晶構造への変化は起こりやすくなるが、広い配線幅の配線をシリサイド化したときのシリサイド膜と比較し、耐熱性が悪くなり凝集しやすいうえ、更に広い配線幅のシリサイド膜でも凝集が始まるため、確実に凝集するという問題がある。(4)従来のシリサイド化技術により、シリサイド膜を形成した後、層間膜リフローの為、800℃を越えるような熱処理を行った場合、凝集が発生し、チタンの拡散により、ソース、ドレイン領域の接合リークが増大すると共に、ゲート酸化膜の信頼性が劣化する。また、配線抵抗が上昇し、特に、TiSi₂のグレインサイズより小さい線幅の配線のシリサイド化(たとえばゲート電極)に関しては、シリサイド膜で裏打ちを行っていない配線と何等変わらないレベルまで、シート抵抗が上昇する。

【0005】そこで、本発明の目的は、上記問題点を解決しうる半導体装置及びその製造方法を提供することにある。

【0006】

【課題を解決するための手段】本発明の半導体装置は、チタンシリサイド膜を有する配線を備え、上記チタンシリサイド膜は、TiSi₂-C54結晶粒からなり、上記結晶粒どうしは、TiNを介して接触している事を特徴とする。

【0007】本発明の第1の半導体装置の製造方法は、チタンシリサイド膜の製造方法に関し、シリコン膜上に窒素原子に比べ、チタン原子が多く含まれた窒化チタン膜を堆積する工程と、熱処理により、上記シリコン膜と、窒化チタン膜を反応させ、チタンシリサイド膜を形成することを特徴とする。

【0008】本発明の第2の半導体装置の製造方法は、チタンシリサイド膜の製造方法に関し、シリコン膜上に、窒素原子に比べチタン原子が多く含まれた、窒化チタン膜を堆積する工程と、イオン注入法により上記窒化チタン膜と上記シリコン膜の界面付近にシリコンイオンを注入する工程と、熱処理により、上記シリコン膜と、窒化チタン膜を反応させ、チタンシリサイド膜を形成す

ることを特徴とする。

【0009】本発明の第3の半導体装置の製造方法は、本発明の第1または2の半導体装置の製造方法における、上記シリコン膜の少なくともシリサイド膜が形成される領域の酸素濃度が、 1×10^{18} 個/cm³以下であることを特徴とする。ここで、シリサイド膜が形成される領域とは、上記シリコン膜上部の、チタンと反応するシリコン原子が存在する領域である。

【0010】本発明の第4の半導体装置の製造方法は、本発明の第1または2の半導体装置の製造方法における、シリコン膜上に窒化チタン膜を堆積する工程において、チタターゲットを用いて、アルゴンガスと、窒素ガスの混合ガス中で、反応性スパッタ法により、窒化チタン膜を堆積することを特徴とし、上記アルゴンガスと、窒素ガスの混合比における窒素ガスの割合は、0.1%~10%の範囲であることを特徴とする。

【0011】本発明の第5の半導体装置の製造方法は、チタンシリサイド膜の製造方法に関し、シリコン膜上の自然酸化膜を除去した後、大気解放無しで、上記シリコン膜上に窒化チタン膜を堆積する工程と、第一の急速加熱処理を窒素雰囲気中で行い、上記窒化チタン膜と、シリコン膜を反応させ化学量論的に準安定な、TiSi₂-C49結晶構造のチタンシリサイド膜を形成する工程と、ドナー、或いはアクセプターとなる不純物をチタンシリサイド膜上部の窒化チタン膜を介してイオン注入法により上記チタンシリサイド膜及びその下層のシリコン膜中に注入する工程と、上記チタンシリサイド膜上部の窒化チタン膜及び、チタンシリサイド膜が形成されていない領域の窒化チタン膜を選択的に除去する工程と、第二の急速過熱処理により、上記チタンシリサイド膜を、化学量論的に安定な、TiSi₂-C54結晶構造に変化させる工程を含むことを特徴とする。

【0012】本発明の第6の半導体装置の製造方法は、本発明の第5の半導体装置の製造方法における、上記シリコン膜上に窒化チタン膜を堆積する工程と、第一の急速加熱処理を窒素雰囲気中で行い、上記窒化チタン膜と、シリコン膜を反応させ化学量論的に準安定な、TiSi₂-C49結晶構造のチタンシリサイド膜を形成する工程の間に、イオン注入法により上記窒化チタン膜とシリコン膜の界面付近にシリコンイオンを注入する工程を含むことを特徴とする。

【0013】

【作用】本発明の半導体装置によれば、TiSi₂-C54結晶のグレインの間に、TiNが存在しているため、グレイン間にSiO₂が存在しているときと比較し、シート抵抗が低く、特に、TiSi₂膜のグレインサイズよりも小さな配線幅の配線のシリサイド化でも、グレインサイズよりも大きな配線幅の配線のシリサイド化と比べ、TiSi₂膜のシート抵抗に関し、同一の低い値が得られる。更に、TiSi₂とTiNの界面自由

エネルギーは、 $TiSi_2$ と SiO_2 の界面自由エネルギーと比較し小さい。つまり、再結晶化を起こす温度($TiSi_2$ では、約815℃)以上では、より安定化するために、界面自由エネルギーを低くするにはたらくため、 $TiSi_2$ と SiO_2 の接触面積をより少なくする方向にはたらく($TiSi_2$ と SiO_2 の界面自由エネルギーが、 $TiSi_2$ と Si 等の界面自由エネルギーと比較し、非常に大きい)。よって、 $TiSi_2$ C54結晶のグレイン間に SiO_2 が存在しているとき、その膜は、グレイン間に TiN が存在している膜と比較し、より低温で凝集が始まる。逆にグレイン間に TiN が存在している膜は、耐熱性が高く、炉アニールにて900℃、30分程度行っても凝集することがないという作用がある。

【0014】 Ti と Si の反応における酸素混入の経路としては、チタン金属と反応する下地シリコン基板、或いは、シリコン膜中の酸素、特に、通常のLPCVDシリコン堆積装置で堆積した多結晶シリコン膜よりなるゲート電極中の酸素(通常のLPCVDシリコン堆積装置で堆積した多結晶シリコン膜中には、 1×10^{18} 個/cm³以上の酸素原子を含んでいる)、及び、堆積されたチタン膜と、下地シリコン膜、或いは、シリコン基板との界面に存在する自然酸化膜、及び、堆積されたチタン金属中に存在する酸素、及び、第一の急速加熱処理を行うために、大気解放を行った時にチタン金属表面に吸着する酸素、及び、第一の急速加熱処理中の雰囲気中に混入する酸素等がある。

【0015】さらに、従来技術で最も問題となり、装置、及びガスの清浄度と関わり無く混入してくる酸素として、図12(b)の工程に置けるソース、ドレイン領域形成のためのイオン注入の際にノックオンされる酸素がある。酸化膜406は、イオン注入時の汚染を防ぐために必ず必要である。特にCMOSプロセスにおいては、ドナーとアクセプターの打ち分けのため、ホトレジストによるマスクが必要となり、重金属の非常に混入しているホトレジストを直接半導体基板に塗布しないように、酸化膜406を介する必要がある。以上のことから、従来法では、チタンと、シリコンの反応過程における酸素の混入は、避けられない。

【0016】表1に TiN 、 TiC_2 、 SiO_2 、 $TiSi_2$ の生成エンタルピーを示す。表1より、 Ti 、 Si 、 O 、 N の4元系の反応では、酸化物(TiC_2 、 SiO_2)が最も優先的に形成されることが判る。

【0017】

【表1】

Ti , Si , O , N の間で形成される化合物の生成エンタルピー

	生成エンタルピー (KJ/mol)
TiO_2	-992
SiO_2	-909
TiN	-339
$TiSi_2$	-134

【0018】第一の急速加熱処理は、チタンシリサイド膜が横方向に成長し、隣接する配線間(例えばソース-ゲート間、ドレイン-ゲート間)で短絡しないように出来る限り低温(575℃~650℃)で行う必要がある。従来の $TiSi_2$ 膜形成方法では、第一の急速加熱処理をいくら精製窒素雰囲気中で行っても、 Ti 、 Si 、 O の3元系でのシリサイド化反応となり、 $TiSi_2$ の粒界に、優先的に酸化物が形成される。酸化物(TiO_2 、 SiO_2)を含む $TiSi_2$ 膜(600℃前後の第一の急速加熱処理後は、基本的に準安定な $TiSi_2$ C49結晶構造となっている)を安定な、 $TiSi_2$ C54結晶構造に変化させるために、第二の急速過熱処理は、800℃以上で行う必要がある。 Ti 、 Si 、 O の3元系相図によれば、800℃以上の熱処理において、チタンダイシリサイド($TiSi_2$)と共存する酸化物相は、 SiO_2 のみとされているので、第二の急速加熱処理後の $TiSi_2$ 膜の粒界には、 SiO_2 のみが存在している事になる。

【0019】従来の技術により形成された、粒界に SiO_2 を含むチタンシリサイド膜は、シート抵抗が高くなり、かつ耐熱性が悪くなる。特に、 $TiSi_2$ のグレインサイズより小さい線幅のシリサイド化(たとえばゲート電極)に関しては、シート抵抗の上昇が著しく大きくなる。 $TiSi_2$ の融点(T_m)は、1540℃であり、一般に金属などの再結晶化は、融点(T_m)の0.6倍で顕著になるとされているため、0.6 T_m は、815℃に相当する。よって、上記粒界に、 SiC_2 を含むような $TiSi_2$ 膜は、層間絶縁膜リフロー工程で必要となる850℃以上の熱処理で、粒界に存在する SiO_2 を境として、 $TiSi_2$ の表面自由エネルギーにより、 $TiSi_2$ 膜の凝集が始まる。このように凝集したチタンシリサイド膜は、部分的に分断され、もはや、シリサイドを裏打ちした低抵抗な配線とは言えなくなる。特に、 $TiSi_2$ のグレインサイズより小さい線幅の配線のシリサイド化(たとえばゲート電極)に関しては、シリサイド膜で裏打ちを行っていない配線と何等変わらないレベルまで、シート抵抗が上昇する。更に、凝集過程に於て、 Ti 原子がシリコン中を拡散するため、ソース、ドレイン領域に関しては、ジャンクション破壊によ

るリーク電流の増加、また、ゲート電極に関しては、ゲート酸化膜の信頼性劣化を招く。

【0020】本発明の第1の半導体装置の製造方法によれば、チタンシリサイド膜の形成方法において、非常に活性なTi金属の変わりに窒化チタン膜を堆積した後、熱処理により、上記窒化チタン膜と、シリコン膜を反応させチタンシリサイド膜を形成する為、積極的に窒素をシリサイド膜中に入れることが出来、結果として、多少酸素成分が存在しようと、形成されたチタンシリサイド膜の粒界には、本発明の構造のように窒化チタン膜が形成されやすい。粒界にSiO₂が存在する替わりにTiNが存在した場合、表面自由エネルギーを抑えることが可能となり、耐熱性に優れたチタンシリサイド膜となる。

【0021】本発明の第2の半導体装置の製造方法によれば、本発明の第1の半導体装置の製造方法における、窒化チタン膜を堆積した後にシリコンイオンを、窒化チタン膜と、シリコン膜（シリコン基板）の界面付近に注入するため、シリサイド化反応を行う前に、チタン原子とシリコン原子が、界面付近で混じりあい、シリサイド化反応が円滑に進行し、更に成膜されたシリサイド膜とシリコン膜の界面が非常にスムーズになると同時にシリサイド膜の表面モロロジーを滑らかにすることが可能となり、このようなシリサイド膜は、凝集が起りにくくなるため、本発明の第1の半導体装置の製造方法に対して、さらなる耐熱性の向上が得られる。本発明の第3の半導体装置の製造方法によれば、本発明の第1または2の半導体装置の製造方法におけるシリコン膜の少なくともシリサイド膜が形成される領域の酸素濃度が、 1×10^{18} 個/cm³以下であることを特徴とする為、シリサイド化反応中に、チタンシリサイド膜中に取り込まれる酸素原子を極力少なくすることが出来、さらなる低抵抗化、及び耐熱性の向上が得られる。

【0022】本発明の第4の半導体装置の製造方法によれば、窒素ガスの混合比を0.1~10%の範囲にすることにより、シリサイド化反応に支障をきたさない範囲で形成されたチタンシリサイド膜の粒界に優先的にTiNを形成することが出来る。ここで、表1の生成エンタルピーの関係より、TiSi₂よりもTiNのほうが形成されやすいため、N原子よりもTi原子を十分多くする必要がある。

【0023】本発明の第5の半導体装置の製造方法によれば、シリコン膜上の自然酸化膜を除去した後、大気解放無しで、上記シリコン膜上に窒化チタン膜を堆積するため、窒化チタン膜とシリコン膜との界面の自然酸化膜をほぼ完全に除去することが可能となる。また、チタンシリサイド膜を形成した後、ドナー、或いはアクセプターとなる不純物をチタンシリサイド膜上部の窒化チタン膜を介してイオン注入法により上記チタンシリサイド膜及びその下層のシリコン膜中に注入する為、従来法のよ

うにシリサイド化反応前に、イオン注入時に酸素原子がシリコン膜中にノックオンされることが無いという作用がある。つまり、チタンシリサイド膜粒界のSiC₂の存在を極力抑えることが出来、低抵抗で耐熱性に優れたチタンシリサイド膜を形成することが可能となる。さらに、注入の飛呈(Rp)をチタンシリサイド膜中に注入することが出来るため、注入により、シリコン基板もしくはシリコン膜（この場合のシリコン膜とは、選択エピタキシャル成長等の技術により、トランジスタのソース、ドレイン領域に積み上げられたシリコン膜のこと）にダメージが入らないため、増速拡散を抑える事ができ、接合深さを抑える作用がある。

【0024】本発明の第6の半導体装置の製造方法によれば、本発明の第5の半導体装置の製造方法における窒化チタン膜を堆積した後にシリコンイオンを、窒化チタン膜と、シリコン膜（シリコン基板）の界面付近に注入するため、シリサイド化反応を行う前に、チタン原子とシリコン原子が、界面付近で混じりあい、シリサイド化反応が円滑に進行し、更に成膜されたシリサイド膜とシリコン膜の界面が非常にスムーズになると同時にシリサイド膜の表面モロロジーを滑らかにすることが可能となり、このようなシリサイド膜は、凝集が起りにくくなるため、請求項6に対して、さらなる耐熱性の向上が得られる。

【0025】

【実施例】以下に、本発明の半導体装置及びその製造方法の実施例について、詳細に説明する。

【0026】（第1の実施例）図1(a)~(e)及び図2(c-1)~(c-3)に、本発明の第1の実施例に係わる半導体装置の製造工程を示す。

【0027】図3に、本発明で用いたロードロック室を備えたシリコンLP-CVD装置の概略を示す。

【0028】図4に、本発明で用いたロードロック室を備えたシリコンLP-CVD装置と、通常のシリコンLP-CVD装置によって堆積したシリコン膜中の酸素濃度のSIMS分析結果を示す。

【0029】図5に、本発明で用いたロードロック室を備えたシリコンLP-CVD装置によって堆積したシリコン膜上に本実施例にて形成したチタンシリサイド膜と、通常のシリコンLP-CVD装置によって堆積したシリコン膜上に従来例にて形成したチタンシリサイド膜の、シート抵抗の第2の急速熱処理温度依存性を示す。図6に、本実施例にて形成したチタンシリサイド膜と、従来例にて形成したチタンシリサイド膜の、900℃、窒素雰囲気中、30分アニールした後の、断面模式図を示す。

【0030】図7に、本実施例にて形成したチタンシリサイド膜と、従来例にて形成したチタンシリサイド膜の、凝集機構の断面模式図を示す。

【0031】図8に、本実施例にて形成したチタンシリ

サイド膜を有するゲート電極と、従来例にて形成したチタンシリサイド膜を有するゲート電極の、シート抵抗のゲート長依存性を示す。

【0032】図9に、本実施例にて形成したチタンシリサイド膜を有するLDDトランジスタと、従来例にて形成したチタンシリサイド膜を有するLDDトランジスタの、 I_D-V_D 特性を示す。

【0033】まず、図1(a)に示すように、IG処理を施し、DZゾーンが形成され、表面酸素濃度が 1×10^{18} 個/cm³以下の半導体基板101上に、フィールド酸化膜102、活性領域103、ゲート酸化膜104を形成する。

【0034】次に、図1(b)に示すように、予備真空排気室と、窒素パージされ露点が -100°C 以下に保たれたロードロック室を備えたシリコンLPCVD装置(図3参照)によって、約 1500\AA 程度の多結晶シリコン膜105を堆積し、ゲート電極パターンに加工した後、該ゲート電極側壁にサイドウォールスペーサー106を形成する。

【0035】上記図3の装置での多結晶シリコン膜105の形成方法は、ゲート酸化直後のウェハを、予備真空排気室に入れた後、予備真空排気室を、 10^{-1}Pa 程度に真空引きし、窒素パージされ、露点が -100°C 以下に保たれたロードロック室に搬送し、窒素パージによりウェハ表面に吸着している H_2O 分子を除去した後、ファネスに搬送し、LPCVD法で、99.9999%以上の純度の SiH_4 雰囲気中で、 30Pa の圧力で 620°C 程度の温度で多結晶シリコン膜を成膜している。このように成膜された膜中の酸素濃度は、図4に示すように、SIMS分析にて検出限界(1×10^{18} 個/cm³)以下と、非常に酸素濃度の低い多結晶シリコン膜となる。尚、シリコン膜以外は、本実施例と同様の工程を経て、シリサイド膜を形成し、シリコン膜のみ 2×10^{18} 個/cm³の酸素濃度の膜を用いた実験では、形成されたシリサイド膜の耐熱性については、従来例と本実施例の中間の特性を示した。

【0036】次に、図1(c)に示すように、フッ酸系溶液にてウェハ表面の自然酸化膜を除去した後、ロードロックチャンバー、エッチングチャンバー、スパッタチャンバー、急速加熱処理室(RTAチャンバー)、及びそれぞれをつなぐ真空搬送室を有するクラスタ型装置にて自己整合的にゲート電極105及び活性領域103に化学量論的に準安定な $\text{TiSi}_2\text{-C}_{49}$ 結晶構造のチタンシリサイド膜109を形成する。

【0037】上記クラスタ型装置におけるチタンシリサイド膜の形成方法を以下に詳しく述べる。まず、図2(c-1)に示すように、フッ酸系溶液にて、シリコン膜(シリコン基板)表面の自然酸化膜(本実施例では、活性領域103及び、ゲート電極105表面の自然酸化膜)を除去した直後のウェハをロードロック室に入れ

た後、エッチングチャンバーに搬送し、ロードロック室に入れるまでに再度形成された自然酸化膜107等を再度除去し、ウェハ表面を清浄化する。清浄化の方法は、本実施例では、アルゴンスパッタクリーニングエッチング法を用いている。(他にも、エッチングチャンバーの替わりに水素アニールチャンバーを設けて、酸化膜を還元除去する方法もある。この方法では、物理的にアルゴン原子をスパッタして、酸化膜をエッチングする方法と異なり、基板表面にダメージを受けないと言う利点がある。また、エッチングチャンバーの替わりに、 HF 気相洗浄チャンバーを設ける方法もある。)

次に、図2(c-2)に示すように、真空中(本実施例では、 $1 \times 10^{-18}\text{Torr}$)、スパッタチャンバーに搬送し、アルゴンガスと、窒素ガスの混合ガス中で窒素ガスの割合は、0.1%~10%の範囲で、反応性スパッタ法により、約 50nm の窒化チタン膜108を堆積する。

【0038】次に、図2(c-3)に示すように、真空中(本実施例では、 $1 \times 10^{-18}\text{Torr}$)、RTAチャンバーに搬送し、窒素雰囲気の下で $575^\circ\text{C} \sim 650^\circ\text{C}$ の温度範囲(本実施例では、 625°C)で20秒程度、第一の急速加熱処理を行い、シリコン膜(シリコン基板)103、105側に、チタンとシリコンの反応により、 $\text{TiSi}_2\text{-C}_{49}$ 結晶構造のチタンシリサイド膜109を形成し、堆積された窒化チタン膜表面側を、より窒素の含有量の多い窒化チタン膜110にする。この時、シリコン膜(シリコン基板)が露出していない領域(ゲート電極サイドウォールスペーサー106、フィールド酸化膜102等)では、供給されるシリコンが無いため、チタンシリサイド膜は形成されず、自己整合的に、シリコン膜(シリコン基板)が露出した領域103、105のみシリサイド膜109が形成される。本発明により形成されたチタンシリサイド膜の粒界には、 TiN が存在し、非常に耐熱性に優れた膜質になる。

【0039】次に、図1(d)に示すように、ドナーまたは、アクセプタとなる不純物イオンをチタンシリサイド膜109上部の窒化チタン膜110を介してイオン注入法により注入する。後述する活性化アニールにより、本注入領域は、ソース、ドレイン領域111となる。本実施例では、注入飛量を R_p 、標準偏差を ΔR_p 、チタンシリサイドの膜厚を T_{TiSi_2} としたときに、 $R_p + \Delta R_p = T_{\text{TiSi}_2}$ となるように注入エネルギーを設定している。尚、本実施例では、ドナーとして、 75As^+ 、アクセプタとして、 11B^+ を、ドーズ量として、 $5 \times 10^{15}/\text{cm}^2$ 注入している。このとき同時にゲート電極にも注入され、ソース、ドレイン領域と、同じ導電型の不純物が注入されるため、表面チャネル型のトランジスタとなる。

【0040】次に、上記チタンシリサイド膜109上及びフィールド酸化膜102上、ゲートサイドウォールスペーサー106部の窒化チタン膜108、110を硫酸

と過水の混合溶液により選択的にエッチング除去した後、 $800^{\circ}\text{C}\sim 1100^{\circ}\text{C}$ 程度の第二の急速加熱処理により、化学量論的に安定な、 $\text{TiSi}_2\text{-C54}$ 結晶構造のチタンシリサイド膜112を形成する。本実施例では、チタンシリサイド膜上の層間絶縁膜のリフローとして、後述する炉アニール工程を行っているため、ドナー、またはアクセプタの活性化アニールは、後述する炉アニール工程により同時に行えるため、第2の急速加熱処理は、 900°C 、 N_2 雰囲気の下、20秒程度行っているが、後述する炉アニール工程を行わない場合、ドナー、またはアクセプタの活性化アニールを兼ねて、第2の急速加熱処理を、 $1000^{\circ}\text{C}\sim 1100^{\circ}\text{C}$ の温度で行ってもよい。

【0041】本実施例におけるシリサイド膜は、極力酸素成分を排除したシリサイド化反応により形成され、且つ、シリサイド膜の粒界には、 TiN が存在しているため、図5に示すように従来方法に比べ、耐熱性が高く 1100°C 、20秒程度の急速加熱処理では、凝集によるシート抵抗の上昇は起こらない。

【0042】次に、図1(e)に示すように、層間絶縁膜113を堆積し、層間絶縁膜の段差軽減(リフロー)のため、また、不純物の活性化アニールを兼ねて、 900°C 、 N_2 雰囲気の下で、10分程度、炉アニールを行う。後は、図には記述していないが、コンタクト工程、メタル配線工程を経て、所望の半導体装置を形成する。図6は、本実施例にて形成したチタンシリサイド膜と、従来例にて形成したチタンシリサイド膜の、 900°C 、窒素雰囲気中、30分アニールした後の、透過型電子顕微鏡写真より得られた形状を模式的に示した断面図である。 900°C 、窒素雰囲気中、30分程度の炉アニールでは、本実施例で形成したシリサイド膜は凝集しないことが確認された。

【0043】以上のように本実施例で形成したチタンシリサイド膜は、非常に耐熱性が良い。この現象について、図7のモデルにて説明する。 TiSi_2 と TiN の界面自由エネルギーは、 TiSi_2 と SiO_2 の界面自由エネルギーと比較し小さい。つまり、再結晶化を起こす温度(TiSi_2 では、約 815°C)以上で、系はより安定な方向になるようにするために、より界面自由エネルギーを低くするにはたつき、 TiSi_2 と Si の界面自由エネルギーが小さいため、 TiSi_2 と SiO_2 の接触面積をより少なくする方向にはたらく。 TiSi_2 と TiN の界面自由エネルギーは、 TiSi_2 と SiO_2 の界面自由エネルギーと比較し小さい。つまり、 TiSi_2 と SiO_2 の界面自由エネルギーと比較し、より低温で凝集が始まる。逆にグレイン間に TiN が存在している膜は、耐熱性が高く、炉アニールにて 900°C 、30分程度行っても凝集することがない。

【0044】図8は、本実施例にて形成したチタンシリサイド膜を有するゲート電極と、従来例にて形成したチタンシリサイド膜を有するゲート電極の、シート抵抗のゲート長依存性である。本発明により、 $0.2\mu\text{m}$ のゲート長以下まで $n+$ 、 $p+$ 両ゲート電極とも配線シート抵抗の上昇が無いことが確認された。かつ、そのシート抵抗の値は、従来例と比較し、非常に抵抗であることが確認された。

【0045】本第1の実施例によって形成したシリサイド膜をソース、ドレイン、及びゲート領域に有する LDD トランジスタと、図12に示す従来例により形成された、シリサイド膜をソース、ドレイン、及びゲート領域に有する LDD トランジスタの特性を、図9、表2に示す。本実施例のトランジスタは、従来例、本発明とも、ゲート酸化膜厚約 5nm 、ゲート電極側壁サイドウォール Spacer 膜厚は、約 100nm 、ゲート長は、約 $0.26\mu\text{m}$ である。

【0046】図9は、本実施例にて形成したチタンシリサイド膜を有する LDD トランジスタと、従来例にて形成したチタンシリサイド膜を有する LDD トランジスタの、 $\text{ID}-\text{VD}$ 特性である。本発明により、従来方法と比べ、電流駆動量に於て、約50%の向上が確認された。

【0047】表2は、本実施例にて形成したチタンシリサイド膜を有する LDD トランジスタと、従来例にて形成したチタンシリサイド膜を有する LDD トランジスタの、線形領域の相互コンダクタンスと、飽和領域の相互コンダクタンス、および、トランジスタトータルの抵抗である。本発明により、従来方法と比べ、線形領域の相互コンダクタンス及び、飽和領域の相互コンダクタンスに於て約45%向上し、更に、トランジスタトータルの抵抗が、 $1/2$ 以下に低くなった。

【0048】

【表2】

本実施例にて形成したチタンシリサイド膜を有する
LDDトランジスタと、従来例にて形成したチタンシリ
サイド膜を有するLDDトランジスタの、線形領域、飽
和領域の相互コンダクタンス、および、トランジスタ
トータルの抵抗

	従来例	本第1の 実施例
相互コンダクタンス (線形領域)	51.4 $\mu\text{S}/\mu\text{m}$	73.7 $\mu\text{S}/\mu\text{m}$
相互コンダクタンス (飽和領域)	207.5 $\mu\text{S}/\mu\text{m}$	302.1 $\mu\text{S}/\mu\text{m}$
トランジスタの トータル抵抗	1252.5 $\Omega\mu\text{m}$	576.5 $\Omega\mu\text{m}$

ゲート長：0.26 μm

ゲート酸化膜厚：5nm

ゲート側壁サイドウォール膜厚：100nm

【0049】(第2の実施例)図10(C-1)～(C-3)は、本発明の工程順断面図である。

【0050】第1の実施例における図1(b)迄の工程まで同様に経て、1G処理を施した半導体基板201上に、フィールド酸化膜202、活性領域203、ゲート酸化膜204、ゲート電極205、ゲートサイドウォールスペーサー206を形成した後、まず、図10(C-1)に示すように、フッ酸系溶液にてシリコン膜(シリコン基板)201、205表面の自然酸化膜を除去した直後のウェハを、第1の実施例で使用したクラスタ型装置のロードロック室に入れた後、エッチングチャンバーに搬送し、ロードロック室に入れるまでに再度形成された自然酸化膜207等を再度除去し、ウェハ表面を清浄化する。清浄化の方法は、本実施例では、アルゴンスパッタクリーニングエッチング法を用いている。(他にも、エッチングチャンバーの替わりに水素アニールチャンバーを設けて、酸化膜を還元除去する方法もある。この方法では、物理的にアルゴン原子をスパッタして、酸化膜をエッチングする方法と異なり、基板表面にダメージを受けないと言うメリットがある。また、エッチングチャンバーの替わりに、HF気相洗浄チャンバーを設ける方法もある。)

次に、図10(C-2)に示すように、真空中(本実施例では、 1×10^{-18} Torr)、スパッタチャンバーに搬送し、アルゴンガスと、窒素ガスの混合ガス中で窒素ガスの割合は、0.1%～10%の範囲で、(本実施例では、窒素1%)反応性スパッタ法により、窒化チタン膜208を堆積する。

【0051】次に、図10(C-3)に示すように、クラスタ型装置から出し、シリコンイオン注入を行う。本

実施例では、注入飛程をRp、窒化チタン膜厚をTTiNとしたときに、 $R_p = TTiN$ となるように注入エネルギーを設定している。尚、ドーズ量として、 $5 \times 10^{15}/\text{cm}^2$ 注入している。本シリコン注入により、窒化チタン膜208とシリコン膜(シリコン基板)203、205の界面でチタン(窒素を含むチタン)とシリコンが混じりあった層209が形成され、後述する急速加熱処理工程の後、チタンシリサイド膜の表面モロロジーが非常に滑らかとなる。本実施例では、イオン注入装置と、スパッタ装置が真空搬送系で接続されていないため、窒化チタン膜堆積後に一旦、大気解放しているが、クラスタ型装置でスパッタ室とイオン注入室が真空搬送系で接続されている装置で行えば、なお良い。

【0052】次に、図10(C-4)に示すように、窒素雰囲気の下で575℃～650℃の温度範囲で(本実施例では、625℃)20秒程度の第一の急速加熱処理を行い、シリコン膜(シリコン基板)203、205側に、チタンとシリコンの反応により、化学量論的に準安定な、 $TiSi_2$ C49結晶構造のチタンシリサイド膜210を形成し、堆積された窒化チタン膜表面側を、より窒素の含有量の多い窒化チタン膜211にする。この時、シリコン膜(シリコン基板)が露出していない領域(ゲート電極サイドウォールスペーサー206、フィールド酸化膜202等)では、供給されるシリコンが無いので、チタンシリサイド膜は形成されず、自己整合的に、シリコン膜(シリコン基板)が露出した領域のみシリサイド膜210が形成される。本発明により形成されたチタンシリサイド膜の粒界には、TiNが存在し、且つ、表面モロロジーが非常に滑らかで、非常に耐熱性に優れた膜質になる。

【0053】後は、第1の実施例の図1(d)以降と同様の工程を経て、所望の半導体装置を形成する。

【0054】(第3の実施例) 第1及び第2の実施例では、ゲート電極として、多結晶シリコン膜を堆積し、パターンニングにより形成しているが、多結晶シリコン膜の替わりに非晶質シリコン膜で形成してもよい。この場合、予備真空排気室と、窒素パージされ、露点が -100°C 以下に保たれたロードロック室を備えたシリコンLPCVD装置を用いて形成する。ゲート酸化膜形成直後の半導体ウェハをまず予備真空排気室に入れ、予備真空排気室を 10^{-1}Pa 程度に真空引きした後、窒素パージされ、露点が -100°C 以下に保たれたロードロック室に搬送し、窒素パージによりウェハ表面に吸着している H_2O 分子を除去する。次に、ファーンズに搬送し、LPCVD法で、99.9999%以上の純度の SiH_4 雰囲気中で、 50Pa の圧力で 550°C 程度の温度で 1500\AA の非晶質シリコン膜を成膜している。このように成膜された膜中の酸素濃度は、 1×10^{18} 個/ cm^3 以下と、非常に酸素濃度の低い非晶質シリコン膜となる。後は、第1または第2の実施例と同様の工程を経て、半導体装置を成膜する。また、ゲート電極として、多結晶シリコン膜の上部に非晶質シリコン膜が堆積された2層膜でも良い。2層膜の堆積方法は、 1000\AA 堆積するまで、第1の実施例の方法(シーケンス)で多結晶シリコン膜を堆積し、大気解放無しで連続で、シーケンスを非晶質シリコン堆積条件に切り替え、 500\AA 程度の非晶質シリコンを堆積すれば良い。このように成膜された膜中の酸素濃度は、 1×10^{18} 個/ cm^3 以下と、非常に酸素濃度の低い2層膜となる。本第3の実施例のように、窒化チタン膜と反応する膜が、非晶質シリコン膜の場合、多結晶シリコン膜のように粒界が無いため、非常に表面モロロジーの良いチタンシリサイド膜が形成できる。

【0055】(第4の実施例) 第1～第3の実施例では、通常構造のシリサイドトランジスタの実施例を示しているが、これに限るものではない。ゲートサイドウォールスペーサー形成前に、ゲート電極をマスクとして、LDDトランジスタ用の濃度の薄い注入領域を形成してもよい。(例えば、NMOSの場合、リンイオンを、 $3 \times 10^{13}/\text{cm}^2$ 程度注入する) また、局所線接合として、リンイオンの代わりに、砒素イオンを $1 \times 10^{14}/\text{cm}^2$ 注入してもよい。(14乗レベルの砒素注入では、ノックオン酸素の影響は、シリサイド化反応に影響しないことが我々の実験で得られている) また、図11

(a)～(b)に示すような、積上拡散層型トランジスタにも本発明は適用できる。まず、図11(a)に示すように、半導体基板301上に、フィールド酸化膜302、活性領域303、ゲート酸化膜304、第1～第3の実施例と同様にして形成された、酸素濃度が、 1×10^{18} 個/ cm^3 以下となるような多結晶シリコン膜、も

しくは、非晶質シリコン膜、もしくは、多結晶シリコン膜と、非晶質シリコン膜よりなる2層膜により形成された、ゲート電極305、サイドウォールスペーサー306を形成した後に、活性領域に、酸素濃度が、 1×10^{18} 個/ cm^3 以下となるような単結晶、もしくは、非単結晶シリコン膜を選択的に積み上げ、積み上げシリコン領域307を形成する。選択的に積み上げる方法としては、選択エピタキシャル成長法や、本第1～第3の実施例に記載の予備真空排気室と、窒素パージされ露点が -100°C 以下に保たれたロードロック室を備えたシリコンLPCVD装置によって、活性領域には、下地シリコン基板の結晶方位を受け継いで、エピタキシャル成長し、シリコン基板が露出していない領域では、多結晶シリコン膜(590°C 以上で成膜した場合)もしくは、非晶質シリコン膜(580°C 以下で成膜した場合)が堆積するような膜を堆積し、上記多結晶シリコン膜、もしくは、非晶質シリコン膜を選択的にエッチング除去することにより、活性領域に選択的にシリコン膜を積み上げる方法や、上記シリコンLPCVD装置によって、活性領域には、下地シリコン基板の結晶方位を受け継いで、エピタキシャル成長し、シリコン基板が露出していない領域では、多結晶シリコン膜もしくは、非晶質シリコン膜が堆積するような膜、或るいは、ウェハ全面に多結晶シリコン膜、もしくは、非晶質シリコン膜を堆積した後、化学的機械的研磨法により、ゲート電極上部が露出するまで研磨した後、フィールド領域にて上記多結晶シリコン膜、もしくは、非晶質シリコン膜をパターンニングする方法等がある。

【0056】次に、図11(b)に示すように、第1もしくは、第2の実施例の方法にて、チタンシリサイド膜で裏打ちされた、ゲート電極、及び、ソース、ドレイン領域309を形成する。本実施例のトランジスタは、ソース、ドレイン領域が、ゲートチャネル領域よりも積み上がっているため、短チャネル効果に強いトランジスタとなる。

【0057】

【発明の効果】本発明の半導体装置によれば、 $\text{TiSi}_2/\text{C}54$ 結晶のグレインの間に、 TiN が存在しているため、グレイン間に SiO_2 が存在しているときと比較し、シート抵抗が低く、特に、 TiSi_2 膜のグレインサイズよりも小さな配線幅の配線のシリサイド化でも、グレインサイズよりも大きな配線幅の配線のシリサイド化と比べ、 TiSi_2 膜のシート抵抗に関し、同一の低い値が得られる。更に、 TiSi_2 と TiN の界面自由エネルギーは、 TiSi_2 と SiO_2 の界面自由エネルギーと比較し小さい。つまり、再結晶化を起こす温度(TiSi_2 では、約 815°C)以上では、より安定化するために、界面自由エネルギーを低くするにはたらくため、 TiSi_2 と SiO_2 の接触面積をより少なくする方向にはたらく(TiSi_2 と SiO_2 の界面自由エ

ネルギーが、 $TiSi_2$ と Si 等の界面自由エネルギーと比較し、非常に大きい)。よって、 $TiSi_2$ CS_4 結晶のグレイン間に SiO_2 が存在しているとき、その膜は、グレイン間に TiN が存在している膜と比較し、より低温で凝集が始まる。逆にグレイン間に TiN が存在している膜は、耐熱性が高く、炉アニールにて $900^{\circ}C$ 、30分程度行っても凝集することがないという効果がある。

【0058】本発明の第1の半導体装置の製造方法によれば、チタンシリサイド膜の形成方法において、非常に活性な Ti 金属の代わりに窒化チタン膜を堆積した後、熱処理により、上記窒化チタン膜と、シリコン膜を反応させチタンシリサイド膜を形成する為、積極的に窒素をシリサイド膜の中に入れることが出来、結果として、多少酸素成分が存在しようと、形成されたチタンシリサイド膜の粒界には、本発明の構造のように窒化チタン膜が形成されやすい。粒界に SiO_2 が存在する替わりに TiN が存在した場合、表面自由エネルギーを抑えることが可能となり、耐熱性に優れたチタンシリサイド膜となる。

【0059】本発明の第2の半導体装置の製造方法によれば、本発明の第1の半導体装置の製造方法における、窒化チタン膜を堆積した後にシリコンイオンを、窒化チタン膜と、シリコン膜（シリコン基板）の界面付近に注入するため、シリサイド化反応を行う前に、チタン原子とシリコン原子が、界面付近で混じりあい、シリサイド化反応が円滑に進行し、更に成膜されたシリサイド膜とシリコン膜の界面が非常にスムーズになると同時にシリサイド膜の表面モロロジーを滑らかにすることが可能となり、このようなシリサイド膜は、凝集が起りにくくなるため、本発明の第1の半導体装置の製造方法に対して、さらなる耐熱性の向上が得られる。

本発明の第3の半導体装置の製造方法によれば、本発明の第1または2の半導体装置の製造方法におけるシリコン膜の少なくともシリサイド膜が形成される領域の酸素濃度が、 1×10^{18} 個/cm³以下であることを特徴とする為、シリサイド化反応中に、チタンシリサイド膜中に取り込まれる酸素原子を極力少なくすることが出来、さらなる低抵抗化、及び耐熱性の向上が得られる。

【0060】本発明の第4の半導体装置の製造方法によれば、窒素ガスの混合比を0.1～10%の範囲にすることにより、シリサイド化反応に支障をきたさない範囲で形成されたチタンシリサイド膜の粒界に優先的に TiN を形成することが出来る。ここで、表1の生成エンタルピーの関係より、 $TiSi_2$ よりも TiN のほうが形成されやすいため、 N 原子よりも Ti 原子を十分多くする必要はある。

【0061】本発明の第5の半導体装置の製造方法によれば、シリコン膜上の自然酸化膜を除去した後、大気解放無しで、上記シリコン膜上に窒化チタン膜を堆積する

ため、窒化チタン膜とシリコン膜との界面の自然酸化膜をほぼ完全に除去することが可能となる。また、チタンシリサイド膜を形成した後、ドナー、或いはアクセプターとなる不純物をチタンシリサイド膜上部の窒化チタン膜を介してイオン注入法により上記チタンシリサイド膜及びその下層のシリコン膜中に注入する為、従来法のようにシリサイド化反応前に、イオン注入時に酸素原子がシリコン膜中にノックオンされることが無いと言う作用がある。つまり、チタンシリサイド膜粒界の SiC_2 の存在を極力抑えることが出来、低抵抗で耐熱性に優れたチタンシリサイド膜を形成することが可能となる。さらに、注入の飛呈(R_p)をチタンシリサイド膜中に注入することが出来るため、注入により、シリコン基板もしくはシリコン膜（この場合のシリコン膜とは、選択エピタキシャル成長等の技術により、トランジスタのソース、ドレイン領域に積み上げられたシリコン膜のこと）にダメージが入らないため、増速拡散を抑える事ができ、接合深さを抑える効果がある。

【0062】本発明の第6の半導体装置の製造方法によれば、本発明の第5の半導体装置の製造方法における窒化チタン膜を堆積した後にシリコンイオンを、窒化チタン膜と、シリコン膜（シリコン基板）の界面付近に注入するため、シリサイド化反応を行う前に、チタン原子とシリコン原子が、界面付近で混じりあい、シリサイド化反応が円滑に進行し、更に成膜されたシリサイド膜とシリコン膜の界面が非常にスムーズになると同時にシリサイド膜の表面モロロジーを滑らかにすることが可能となり、このようなシリサイド膜は、凝集が起りにくくなるため、請求項6に対して、さらなる耐熱性の向上が得られる。

【0063】以上より明らかなように本発明では、シリサイド化反応において、極力酸素成分を排除し、且つ、 Ti 金属の代わりに窒化チタン膜をシリコンと反応させてチタンシリサイド膜を形成しているため、形成された $TiSi_2$ の粒界には、 SiO_2 では無く、 TiN が存在している。このように形成された $TiSi_2$ 膜は、シート抵抗が低く、特に、 $TiSi_2$ 膜のグレインサイズよりも小さな配線幅の配線のシリサイド化に関して、従来法のように $TiSi_2$ 膜のグレインサイズよりも大きな配線幅の配線のシリサイド化と比較し、顕著に配線抵抗率が上昇するようなことは無く、 $TiSi_2$ 膜のグレインサイズよりも小さな配線幅の配線のシリサイド化でも、グレインサイズよりも大きな配線幅の配線のシリサイド化と比べ、 $TiSi_2$ 膜のシート抵抗に関し、同一の低い値が得られるという効果がある。更に、耐熱性が高く、シリサイド膜形成後に、注入されたドナー、もしくは、アクセプターを活性化するための熱処理や、層間絶縁膜をリフローするための熱処理を、炉アニールにて $900^{\circ}C$ 、30分程度行っても凝集することがないという効果がある。このため、チタンシリサイドの再結晶化

に伴うチタンの再拡散を防止することが可能となり、ソース、ドレイン領域の接合リーク電流については、シリサイド無しと比較して、増大するようなことは無く、ゲート酸化膜の信頼性についても、シリサイド無しと同一の信頼性が得られる。さらに、不純物は、シリサイド膜形成後に注入するため、注入によるダメージがシリサイド膜下のシリコン膜（シリコン基板）に入ることが少なく、活性化アニールによる、増速拡散を防ぐことが可能となり、且つ、不純物の活性化アニールと層間絶縁膜をリフローさせるためのアニールを同時に行うことが可能となるため、工程が簡略化できると同時にトータル熱処理量を抑えることが可能となり、短チャネル効果に強いトランジスタの作製が容易となる。

【図面の簡単な説明】

【図1】図1は、本発明の第1の実施例に係る半導体装置の工程順断面図である。

【図2】図2は、本発明の第1の実施例に係る半導体装置の工程順断面図である。

【図3】図3は、本発明で用いたロードロック室を備えたシリコンLPCVD装置の概略図である。

【図4】図4は、本発明で用いたロードロック室を備えたシリコンLPCVD装置と、通常のシリコンLPCVD装置によって堆積したシリコン膜中の酸素濃度のSIMS分析結果を示す図である。

【図5】図5は、本発明で用いたロードロック室を備えたシリコンLPCVD装置によって堆積したシリコン膜上に本実施例にて形成したチタンシリサイド膜と、通常のシリコンLPCVD装置によって堆積したシリコン膜上に従来例にて形成したチタンシリサイド膜の、シート抵抗の第2の急速熱処理温度依存性を示す図である。

【図6】図6は、本実施例にて形成したチタンシリサイド膜と、従来例にて形成したチタンシリサイド膜の、900℃、窒素雰囲気中、30分アニールした後の、断面模式図である。

【図7】図7は、本実施例にて形成したチタンシリサイド膜と、従来例にて形成したチタンシリサイド膜の、凝集機構の断面模式図である。

【図8】図8は、本実施例にて形成したチタンシリサイド膜を有するゲート電極と、従来例にて形成したチタン

シリサイド膜を有するゲート電極の、シート抵抗のゲート長依存性を示す図である。

【図9】図9は、本実施例にて形成したチタンシリサイド膜を有するLDDトランジスタと、従来例にて形成したチタンシリサイド膜を有するLDDトランジスタの、ID-V_D特性を示す図である。

【図10】図10は、本発明の第2の実施例に係る半導体装置の工程順断面図である。

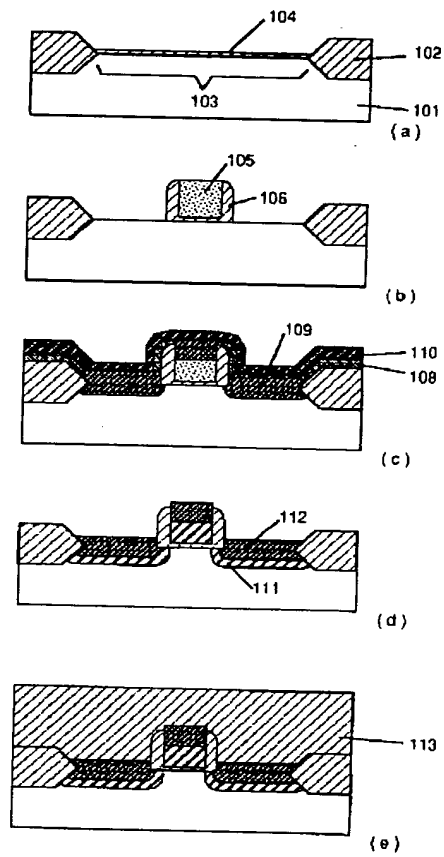
【図11】図11は、本発明の第4の実施例に係る半導体装置の断面図である。

【図12】図12は、従来技術による半導体装置を説明するための工程順断面図である。

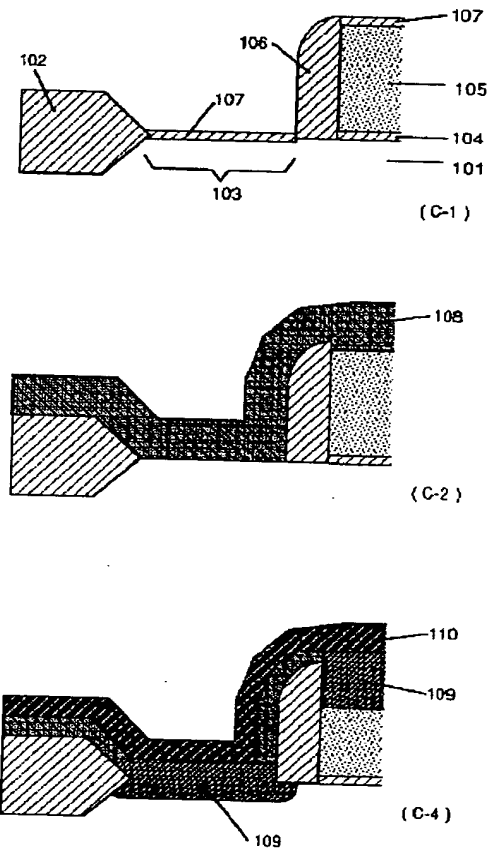
【符号の説明】

101、201、301、401	半導体基板	
102、202、302、402	フィールド	
領域		
103、203、303	活性領域	
104、204、304、403	ゲート酸化	
膜		
105、205、305、404	ゲート電極	
106、206、306、405	サイドウォ	
ールスペーサー		
406	酸化膜	
307	積み上げシリコン領域	
107、207、	自然酸化膜	
108、208、	窒化チタン	
膜		
209	チタンとシリコンが	
混じりあった層		
109、210、	409	TiSi ₂
C49結晶構造チタン		
シリサイド膜		
110、211	410	窒化チタン
膜		
111、	309、407	ソース、ド
レイン領域		
112、	308、411	TiSi ₂
C54結晶構造		
チタンシリサイド膜		
408	チタン金属膜	

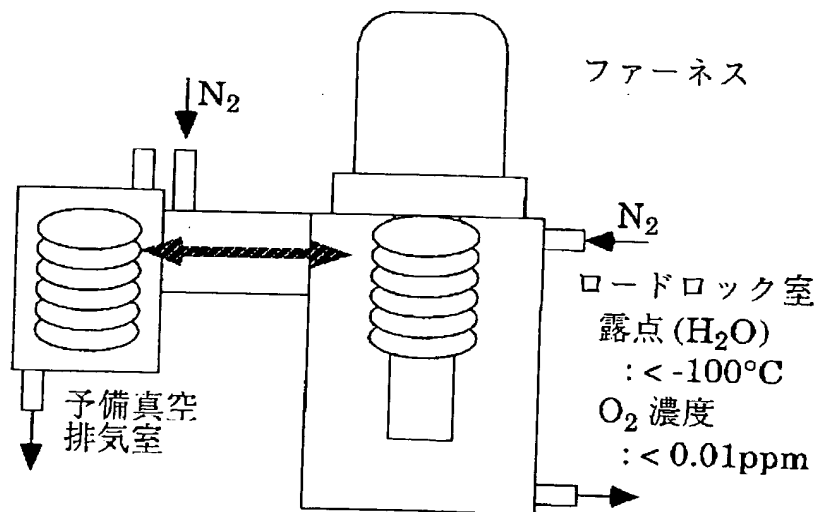
【図1】



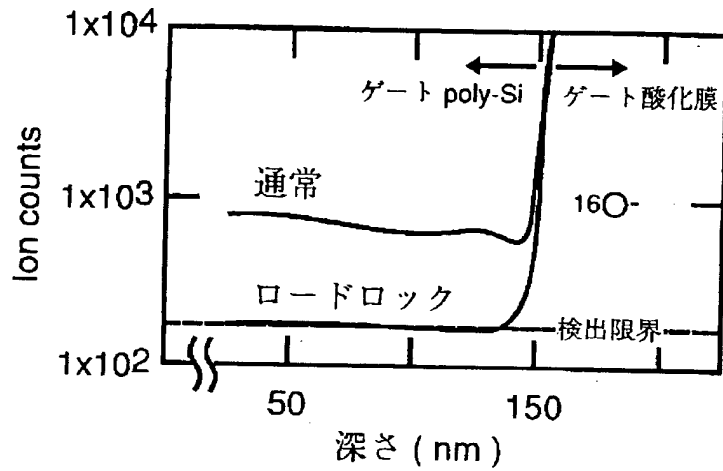
【図2】



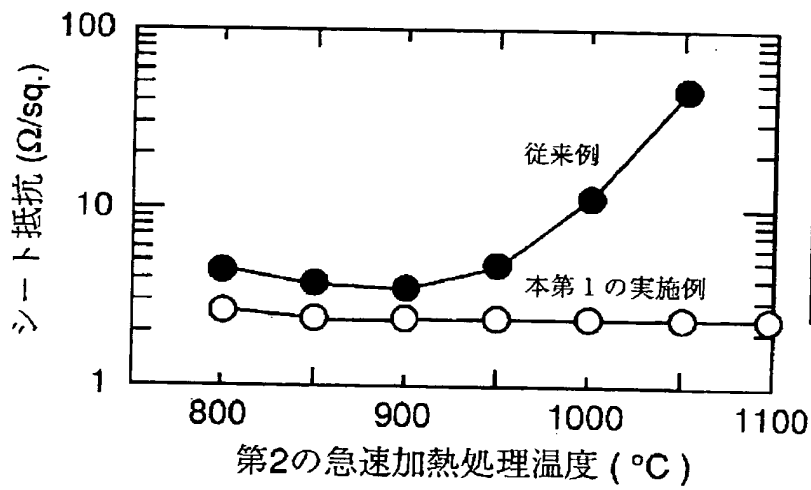
【図3】



【図4】

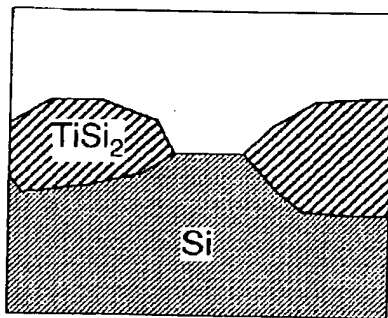


【図5】

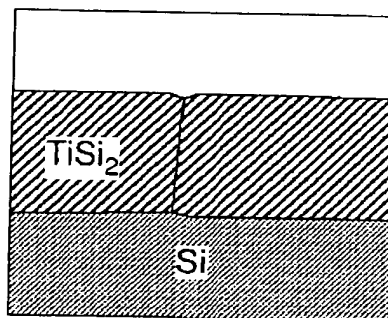


【図6】

900°C, N₂, 30分熱処理後の
チタンシリサイド膜の断面模式図

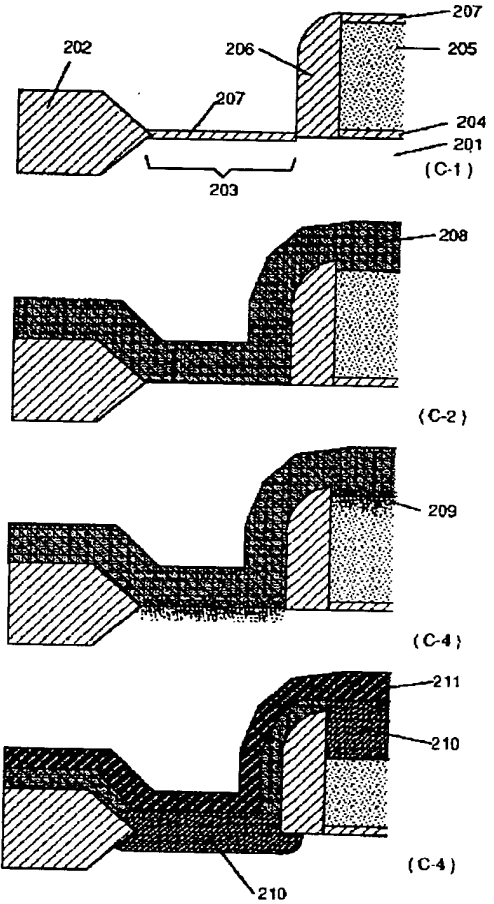


従来例



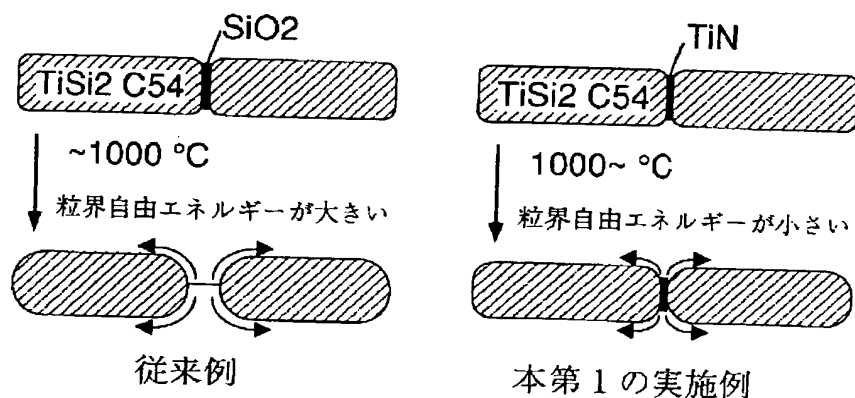
本第1の実施例

【図10】

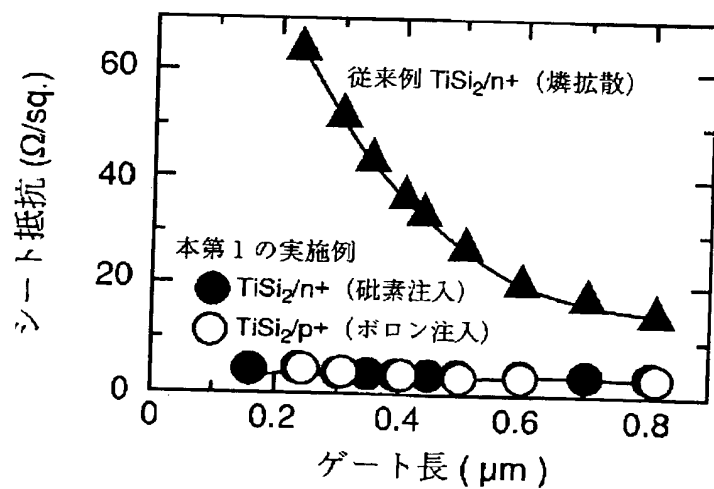


【図7】

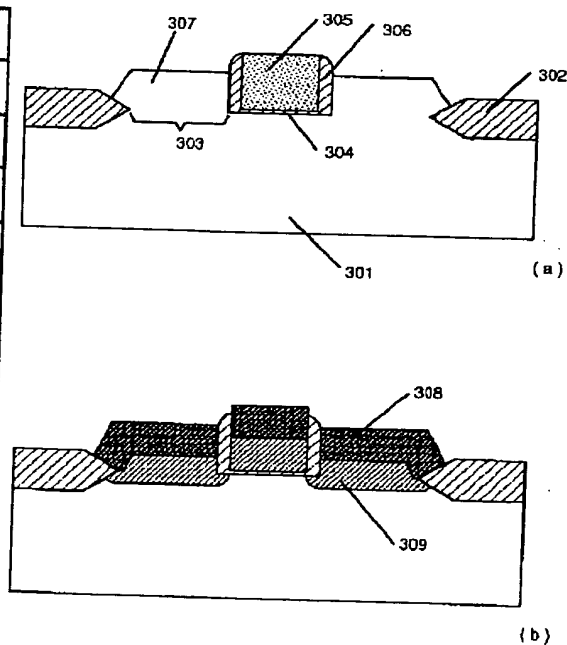
チタンシリサイド膜の凝集機構の断面模式図



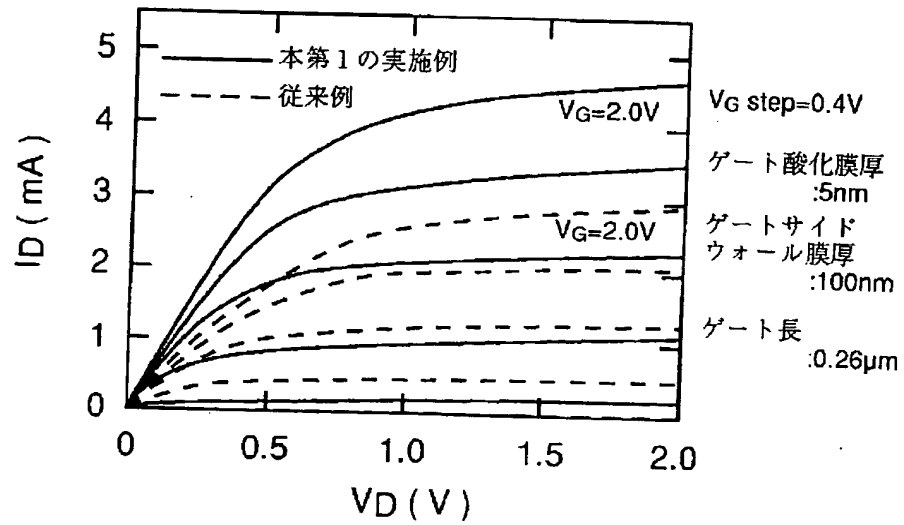
【図8】



【図11】



【図9】



【図12】

